

## Method for producing a Bi-MOS device

Patent Number:  US5641692

Publication date: 1997-06-24

Inventor(s): MIWA HIROYUKI (JP); ANMO HIROAKI (JP)

Applicant(s):: SONY CORP (JP)

Requested Patent:  JP8172139

Application Number: US19950574363 19951218

Priority Number(s): JP19940335015 19941219

IPC Classification: H01L21/265

EC Classification: H01L21/8249

Equivalents:

### Abstract

A method for producing a semiconductor device which decrease the number of processes at the time of producing BiCMOSLSI than the usual. Impurities are introduced into a semiconductor substrate under a second insulating film and a first electric conductive film utilizing a first insulating film and the first conductive film formed on the semiconductor substrate as masks. Therefore, it is able to perform concurrent introduction of impurities into the gate electrode, the source and the drain of the MOSFET, the base electrode of the bipolar transistor, the emitter and the collector contact of the lateral bipolar transistor, the outlet electrode of the capacitor, and the resistor, so that the number of process steps can be reduced.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-172139

(43)公開日 平成8年(1996)7月2日

(51)Int.CI.<sup>6</sup>  
H 0 1 L 21/8249  
27/06  
21/76  
21/331  
29/73

識別記号 庁内整理番号

F I

H 0 1 L 27/06  
21/76  
29/72

3 2 1  
21/76  
29/72

技術表示箇所  
A  
S

審査請求 未請求 請求項の数10 FD (全 8 頁)

(21)出願番号

特願平6-335015

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(22)出願日 平成6年(1994)12月19日

(72)発明者

三輪 浩之

東京都品川区北品川6丁目7番35号ソニー株

式会社内

(72)発明者 安茂 博章

東京都品川区北品川6丁目7番35号ソニー株

式会社内

(74)代理人 弁理士 田辺 恵基

(54)【発明の名称】半導体装置製造方法

(57)【要約】

【目的】本発明は半導体装置製造方法において、BiC MOS LSIの製造時における工数を従来に比して削減する。

【構成】半導体基板上に形成された第1の絶縁膜及び第1の電気伝導膜をマスクとして第2の絶縁膜下の半導体基板及び第1の電気伝導膜中に不純物を導入する。これによりMOSFETのゲート電極、ソース、ドレイン及びバイポーラトランジスタのベース電極、ラテラルバイポーラトランジスタのエミッタ、コレクタコンタクト及び容量体の取り出し電極、及び抵抗体への不純物導入を同時に行うことができる。この分、工数を削減できる。

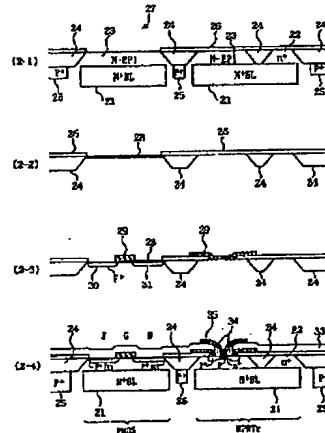


図1 本発明の実施例

## 【特許請求の範囲】

【請求項 1】 半導体基板上に形成された第1の絶縁膜に第1の開口部を形成する工程と、  
 上記第1の開口部に露出した上記半導体基板上の少なくとも一部に第2の絶縁膜を形成する工程と、  
 上記第1の絶縁膜に第2の開口部を形成する工程と、  
 上記第2の絶縁膜上及び上記第2の開口部上的一部分に第1の電気伝導膜を形成する工程と、  
 上記第1の絶縁膜及び上記第1の電気伝導膜をマスクとして、上記第2の絶縁膜下の半導体基板及び第1の電気伝導膜中の少なくとも一部領域に不純物を導入する工程とを具えることを特徴とする半導体装置製造方法。

【請求項 2】 半導体基板上に形成された第1の絶縁膜に第1の開口部を形成する工程と、  
 上記第1の開口部に露出した上記半導体基板上の少なくとも一部に第2の絶縁膜を形成する工程と、  
 上記第1の絶縁膜に第2の開口部を形成する工程と、  
 上記第2の絶縁膜上及び上記第2の開口部上的一部分に第1の電気伝導膜を形成する工程と、  
 上記第1の絶縁膜及び上記第1の電気伝導膜をマスクとして、上記第2の絶縁膜下の半導体基板及び第1の電気伝導膜中の少なくとも一部領域に第1の伝導型の不純物を導入する工程と、  
 上記第1の電気伝導膜からの不純物拡散により、上記半導体基板中に上記第1の伝導型の不純物拡散層を形成する工程とを具えることを特徴とする半導体装置製造方法。

【請求項 3】 半導体基板上に形成された第1の絶縁膜に第1の開口部を形成する工程と、  
 上記第1の開口部に露出した上記半導体基板上の少なくとも一部に第2の絶縁膜を形成する工程と、  
 上記第1の絶縁膜に第2の開口部を形成する工程と、  
 上記第2の絶縁膜上及び上記第2の開口部上的一部分に第1の電気伝導膜を形成する工程と、  
 上記第1の絶縁膜及び上記第1の電気伝導膜をマスクとして、上記第2の絶縁膜下の半導体基板及び第1の電気伝導膜中の少なくとも一部領域に第1の伝導型の不純物を導入する工程と、  
 上記第1の電気伝導膜からの不純物拡散により、上記半導体基板中に上記第1の伝導型の不純物拡散層を形成する工程と上記第2の開口部に露出した半導体基板上の上記第1の電気伝導膜の一部に第3の開口部を形成する工程と、  
 上記第3の開口部内に第2の伝導型の不純物を導入する工程とを具えることを特徴とする半導体装置製造方法。

【請求項 4】 上記第2の絶縁膜の膜厚が、上記第1の絶縁膜の膜厚と同等かそれ以下であることを特徴とする請求項1～請求項3に記載の半導体装置製造方法。

【請求項 5】 ラテラルバイポーラトランジスタの表面に上記第1の絶縁膜が形成されていることを特徴とする請

## 求項1～請求項3に記載の半導体装置製造方法。

【請求項 6】 容量体の誘電膜表面に上記第1の電気伝導膜が形成されていることを特徴とする請求項1～請求項3に記載の半導体装置製造方法。

【請求項 7】 上記第2の絶縁膜をMOSFETのゲート酸化膜及び又は容量体の誘電膜とすることを特徴とする請求項1～請求項3に記載の半導体装置製造方法。

【請求項 8】 上記第1の電気伝導膜を、MOSFETのソース、ドレイン及び又はバイポーラトランジスタのベースコンタクト及び又はラテラルバイポーラトランジスタのエミッタ、コレクタとすることを特徴とする請求項1～請求項3に記載の半導体装置製造方法。

【請求項 9】 上記第1の伝導型の不純物拡散層を、MOSFETのソース、ドレイン及び又はバイポーラトランジスタのベースコンタクト及び又はラテラルバイポーラトランジスタのエミッタ、コレクタとすることを特徴とする請求項1～請求項3に記載の半導体装置製造方法。

【請求項 10】 上記第2の伝導型の不純物拡散層を、バイポーラトランジスタのエミッタとすることを特徴とする請求項3に記載の半導体装置製造方法。

## 【発明の詳細な説明】

## 【0001】

【目次】 以下の順序で本発明を説明する。

産業上の利用分野

従来の技術(図4)

発明が解決しようとする課題

課題を解決するための手段

作用

## 実施例

## (1) 概要

(2) 第1の実施例(図1及び図2)

(3) 第2の実施例(図3)

(4) 他の実施例

## 発明の効果

## 【0002】

【産業上の利用分野】 本発明は半導体装置製造方法に関し、特に高性能のバイポーラトランジスタ及びMOSFETを含む半導体装置の製造方法に適用して好適なものである。

## 【0003】

【従来の技術】 今日、電子機器の小型、軽量化及び高性能、多機能化が進展している。これに伴いバイポーラトランジスタの高速、高精度度とMOSFETの高集積、低消費電力性の長所を兼ね備えたバイポーラMOS混載LSI(以下、BiMOSLSIという)が注目されてきている。

【0004】 しかしながら従来用いられているBiMOSLSI作製プロセスの場合、バイポーラトランジスタ及びMOSFETのそれぞれが高性能化するに伴い、プロセスステップ数が増大し、水処理コストがTAT(Tu

rn Around Time) が増加する問題があつた。このためこの製法を適用できる製品の用途は限定されていた。

【0005】図4に従来のBiCMOSLSI製造プロセスを示す。図はダブルポリシリコン構造のバイポーラトランジスタとPチャネルMOSトランジスタ部のシリコン基板の上部断面図である。以下でプロセスフローについて説明する。

#### 【0006】(1-1) 工程

まずバイポーラトランジスタ部にN<sup>+</sup>埋め込み層1及び拡散層2を形成する。このN<sup>+</sup>埋め込み層1及び拡散層2は製造後、NPNトランジスタのコレクタ取り出しとして機能する。次に素子分離のためのLOCOS酸化膜3及びP<sup>+</sup>拡散層4を形成し、後にゲート酸化膜5を形成する。このときLOCOS酸化膜3の膜厚を400~200 [nm] に形成し、ゲート酸化膜5の膜厚を10~20 [nm] に形成する。

【0007】その後、化学気相成長(以下、CVDという)により全面に100~200 [nm] 程度の膜厚のポリシリコン膜7を形成し、続いてバイポーラトランジスタ部のベース、エミッタ形成部分のポリシリコン/ゲート酸化膜積層膜を既存のドライエッチ技術で開口する。本ポリシリコン膜7はゲート酸化膜5の保護膜として機能する。すなわちゲート酸化膜5を開口する際のレジスト剥離工程において、ゲート酸化膜が汚染されることによる耐圧不良等の発生を防止できる。

【0008】さらに(1-2)工程で第2のポリシリコン膜7を形成する前のフッ酸(HF)によるライトエッチング時のゲート酸化膜エッチングを防止することもできる。なおライトエッチングはポリシリコンシリコン基板界面の自然酸化膜を除去し、基板との接触抵抗を減少させる役割を有する。これは当該ポリシリコンを基板との接触取り出し電極として用いるために必要になる。ポリシリコンにてゲート酸化膜を保護する工程はゲート酸化膜が20 [nm] 以下程度と薄膜化するに伴い必要になる。

#### 【0009】(1-2) 工程

次にCVDにより100~200 [nm] の膜厚の第2のポリシリコン膜7を形成する。このとき先のポリシリコンCVDと合わせてポリシリコン膜厚の合計は300~400 [nm] となつて。続いてMOSのゲート電極部にN<sup>+</sup>イオンを注入し、さらにバイポーラトランジスタ部のベース電極形成部分にP<sup>+</sup>イオンを注入する。この後、MOSのゲート電極及びバイポーラトランジスタ部のベース電極を残し、既存のドライエッチング技術にて第1及び第2のポリシリコン膜を加工する。因にMOSのゲート電極部にN<sup>+</sup>イオンを注入するのは、通常、同一基板に形成するNチャネルMOSを表面チャネル構造としてその特性を向上させるためである。

【0010】次にMOS部にP<sup>+</sup>イオンを注入し、LD(Lightly Doped Drain)拡散層8を形成する。LD

D拡散層8の形成はゲート長がサブμm~サブハーフμmと微細化するに伴い、ホットキャリア耐性向上の目的で必要になる。その後、CVDにより200~400 [nm] の膜厚でなるSiO<sub>2</sub>を形成し、既存のドライエッチ技術にて異方性エッチすることによりLDD用SiO<sub>2</sub>スペーサ9を形成する。

【0011】この時、バイポーラトランジスタのベース及びエミッタ形成領域はポリシリコンで被覆されているので、異方性エッチングによつてLDD用SiO<sub>2</sub>スペーサ9を形成する際、保護することが可能となりオーバーエッチにさらされることがない。従つて反応性イオンエッチング(RIE)ダメージに起因する素子の劣化、歩留まりの低下等の問題は発生しない。次にMOS部にP<sup>+</sup>イオンを注入し、ソース及びドレイン拡散層を10形成する。

#### 【0012】(1-3) 工程

CVDにより300~400 [nm] の膜厚のSiO<sub>2</sub>を形成した後、バイポーラトランジスタにおけるベース及びエミッタ形成領域のSiO<sub>2</sub>/ポリシリコン積層膜を既存のドライエッチ技術でエッチング除去する。その後、CVDにより400~600 [nm] の膜厚のSiO<sub>2</sub>を形成し、既存のドライエッチ技術にて異方性エッチングすることによりエミッタ、ベース電極分離用SiO<sub>2</sub>スペーサ11を形成する。

【0013】次にCVDによりエミッタ形成用ポリシリコン12を形成、既存のドライエッチ技術にて加工する。そしてこのポリシリコン12にイオン注入し拡散することによりベース及びエミッタを形成する。この時の熱処理により、同時にベース取り出し電極7からP<sup>+</sup>が拡散されグラフトベースを形成すると共に、MOS部ソース、ドレイン拡散層を活性化させる。

#### 【0014】(1-4) 工程

CVDにより300~400 [nm] の膜厚のSiO<sub>2</sub>膜を形成した後、既存の配線技術を用いて各電極を形成する(図示せず)。

#### 【0015】

【発明が解決しようとする課題】これら一連の処理手順から明らかのように、MOSFETの形成及びこの微細化に伴う高性能化に従い、付加される工程が増加する問題がある。具体的にはゲート酸化膜の保護膜としてポリシリコンをCVDする必要性があり、またMOSのゲート電極部へのN<sup>+</sup>イオンを注入する必要性がある。またLDD拡散層を形成する必要性があり、ソース/ドレイン拡散層を形成する必要性があつた。このため工程数が増加し、水処理コスト及びTAT(Turn Around Time)が増加するおそれ避け得なかつた。

【0016】本発明は以上の点を考慮してなされたもので高性能なバイポーラトランジスタを基本に必要最低限の工程追加でMOSFETを付加することができる半導体装置製造方法を提案しようとするものである。

## 【0017】

【課題を解決するための手段】かかる課題を解決するため本発明の半導体装置製造方法においては、半導体基板上に形成された第1の絶縁膜(26)に第1の開口部(27)を形成する工程と、第1の開口部(27)に露出した半導体基板上の少なくとも一部に第2の絶縁膜(28)を形成する工程と、第1の絶縁膜(26)に第2の開口部を形成する工程と、第2の絶縁膜(28)上及び第2の開口部上の一とに第1の電気伝導膜(29)を形成する工程と、第1の絶縁膜(26)及び第1の電気伝導膜(29)をマスクとして、第2の絶縁膜(28)下の半導体基板及び第1の電気伝導膜(29)中の少なくとも一部領域に不純物を導入する工程とを設ける。

【0018】また本発明の半導体装置製造方法においては、半導体基板上に形成された第1の絶縁膜(26)に第1の開口部(27)を形成する工程と、第1の開口部(27)に露出した半導体基板上の少なくとも一部に第2の絶縁膜(28)を形成する工程と、第1の絶縁膜(26)に第2の開口部を形成する工程と、第2の絶縁膜(28)上及び第2の開口部上の一とに第1の電気伝導膜(29)を形成する工程と、第1の絶縁膜(26)及び第1の電気伝導膜(29)をマスクとして、第2の絶縁膜(28)下の半導体基板及び第1の電気伝導膜(29)中の少なくとも一部領域に第1の伝導型の不純物を導入する工程と、第1の電気伝導膜(29)からの不純物拡散により、半導体基板中に第1の伝導型の不純物拡散層を形成する工程とを設ける。

【0019】さらに本発明の半導体装置製造方法においては、半導体基板上に形成された第1の絶縁膜(26)に第1の開口部(27)を形成する工程と、第1の開口部(27)に露出した半導体基板上の少なくとも一部に第2の絶縁膜(28)を形成する工程と、第1の絶縁膜(26)に第2の開口部を形成する工程と、第2の絶縁膜(28)上及び第2の開口部上の一とに第1の電気伝導膜(29)を形成する工程と、第1の絶縁膜(26)及び第1の電気伝導膜(29)をマスクとして、第2の絶縁膜(28)下の半導体基板及び第1の電気伝導膜(29)中の少なくとも一部領域に第1の伝導型の不純物を導入する工程と、第1の電気伝導膜(29)からの不純物拡散により、半導体基板中に第1の伝導型の不純物拡散層を形成する工程と、第2の開口部に露出した半導体基板上の第1の電気伝導膜(29)の一部に第3の開口部を形成する工程と、第3の開口部内に第2の伝導型の不純物を導入する工程とを設ける。

## 【0020】

【作用】本発明記載の請求項1においては、半導体基板上に形成された第1の絶縁膜(26)及び第1の電気伝導膜(29)をマスクとして第2の絶縁膜(28)下の半導体基板及び第1の電気伝導膜(29)中に不純物を

導入する。これによりMOSFETのゲート電極、ソース、ドレイン及びバイポーラトランジスタのベース電極、ラテラルバイポーラトランジスタのエミッタ、コレクタコンタクト及び容量体の取り出し電極、及び抵抗体への不純物導入を同時にを行うことが可能になる。

【0021】この時、第1の絶縁膜(26)及び第1の電気伝導膜(29)をマスクとして使用しているためラテラルバイポーラトランジスタの半導体基板表面領域、容量体の誘電膜中に不純物が導入されることはなく、これらの特性への悪影響を防止できる。さらに第2の絶縁膜(28)をMOSFETのゲート酸化膜及び又は容量体の誘電膜として利用して工程数の削減することもできる。

【0022】また請求項2においては、バイポーラトランジスタのベース電極を不純物拡散源として半導体基板中にベースコンタクト(グラフトベース)領域を形成でき、またラテラルバイポーラトランジスタのエミッタ、コレクタ電極形式を不純物拡散源として半導体基板中にエミッタ領域及びコレクタ領域を形成することが可能になる。また請求項3においては、バイポーラトランジスタのベース電極に対して自己整合的にエミッタを形成することができる。

## 【0023】

【実施例】以下図面について、本発明の一実施例を詳述する。

## 【0024】(1)概要

次項以降において説明する半導体装置の製造方法は、酸化膜及びポリシリコン電極をマスクとして不純物を一括導入することを原理とする。これによりMOSFETのゲート電極やソース及びドレイン電極、またバイポーラトランジスタのベース電極、ラテラルバイポーラトランジスタのエミッタ及びコレクタ電極、容量体取り出し電極、抵抗体等を少ない工数(すなわち低コスト)で製造するものである。具体的な製造例を次に示す。

## 【0025】(2)第1の実施例

この実施例においては、PチャネルMOSトランジスタ、ダブルポリシリコンNPNバイポーラトランジスタ、容量体およびラテラルPNPバイポーラトランジスタを同一基板上に形成するときの例を説明する。

【0026】ここで図1はPチャネルMOSトランジスタとダブルポリシリコン構造のNPNバイポーラトランジスタとが形成される領域部分におけるシリコン基板の上部断面図である。また図2は容量体と横型(ラテラル)PNPバイポーラトランジスタとが形成される領域部分におけるシリコン基板の上部断面図である。以下、プロセスフローについて説明する。因に図1の各工程(2-1)～(2-4)と図2の各工程(3-1)～(3-4)とはそれぞれ同一時点における各素子の断面図に対応している。

【0027】(2-1)及び(3-1)工程

まずPSub基板上にN<sup>+</sup>埋め込み層21、拡散層22及びN型エピタキシャル層23を形成する。これらはPMOSのウエル領域、NPNトランジスタのコレクタを取り出し、容量体の下部電極、ラテラルPNPトランジスタのベース取り出しとして機能する。

【0028】次に素子分離のためのLOCOS酸化膜24及びP<sup>+</sup>拡散層25を形成した後に第1の酸化膜26を形成する。ここでLOCOS酸化膜24は500~1000[nm]の膜厚に形成し、第1の酸化膜26は100~200[mm]の膜厚に形成する。第一の酸化膜としてはCVDを用いても良い。次にMOSFET及び容量体を形成する領域部分の酸化膜26を除去し、第1の開口部27を形成する。

【0029】(2-2)及び(3-2)工程

この第1の開口部27に第2の酸化膜28を形成する。本酸化膜28はMOSゲート酸化膜、容量体誘電膜として機能する。通常の用途におけるBiMOSLSIにおいては、MOSFETの性能を過度に要求しないため第2の酸化膜28は20~50[mm]程度の膜厚で良い。従つて次にポリシリコン膜を形成する際にもライトエッチングによる影響を考慮しなくて良い。

【0030】(2-3)及び(3-3)工程

統いてNPNトランジスタのエミッタ形成領域及びベース形成領域およびラテラルPNPトランジスタのエミッタ・コレクタ形成領域部分にある第1の絶縁膜26を除去し、開口を形成する。その後、CVDにより全面に第1の電気伝導膜29として100~200[mm]程度の膜厚のポリシリコン膜を形成する。引き続きMOSのゲート電極、NPNトランジスタのベース電極、容量体の上部電極、ラテラルPNPトランジスタのエミッタ電極及びコレクタ電極が残るように既存のドライエッチング技術を用いて本ポリシリコン膜を加工する。

【0031】次にP<sup>+</sup>イオンを注入し、MOSFETのゲート電極、ソース30、ドレイン31及びバイポーラトランジスタのベース電極32に不純物を同時に導入する。このイオン注入の際、P<sup>+</sup>イオンは第1の絶縁膜26及び第1の電気伝導膜29をマスクとして注入されるためラテラルPNPトランジスタの半導体基板表面領域及び容量体の誘電膜中に不純物が導入されることはない。従つてPNPトランジスタのQ<sub>1</sub>変動によるh<sub>FE</sub>変動や容量体の誘電膜中へのダメージ導入によるリーク電流の増大等これらの特性への悪影響が防止される。

【0032】またこのときのイオン注入条件としては、例えばBF<sup>2+</sup>イオンを30~50[KeV]程度のエネルギーで $1 \sim 5 \times 10^{15} [\text{cm}^{-2}]$ 程度注入すれば良い。またMOSFETのゲート長としてサブ[μm]/サブハーフ[μm]まで微細化しなければLDD拡散層の形成は必要ない。なおP<sup>+</sup>ポリシリコン体の一部を抵抗体として使用することもできる。

【0033】(2-4)及び(3-4)工程

CVDにより300~400[mm]の膜厚のSiO<sub>2</sub>膜33を形成した後、NPNトランジスタのベース部分と、エミッタ形成領域のSiO<sub>2</sub>膜33及びポリシリコン膜29の積層膜とを既存のドライエッチング技術によりエッチング除去する。その後、CVDにより400~600[mm]の膜厚のSiO<sub>2</sub>膜を形成し、既存のドライエッチング技術にて異方性エッチングすることによりエミッタとベース電極とを分離するSiO<sub>2</sub>スペーサ34を形成する。

【0034】次に、CVDによりエミッタ形成用ポリシリコン膜35を形成し、既存のドライエッチング技術にて電極の形状に加工する。このように加工されたポリシリコン膜35にイオンを注入し熱拡散することによりベース及びエミッタを形成する。

【0035】このときの熱処理によって、NPNトランジスタのベース取り出し電極からP<sup>+</sup>が拡散され、NPNトランジスタのグラフベースが形成される。またこのとき同時にPNPトランジスタのエミッタ電極及びコレクタ電極からP<sup>+</sup>が拡散され、PNPトランジスタのエミッタ及びコレクタが形成される。さらに同時にMOS部のソース、ドレイン拡散層が活性化される。これらの処理の後、CVDによって300~400[mm]の膜厚のSiO<sub>2</sub>膜を形成した後、既存の配線技術を用いて各電極を形成する(図示せず)。

【0036】以上一連の工程によって、PチャネルMOSトランジスタやダブルポリシリコンNPNトランジスタ、さらにはラテラルPNPトランジスタや容量体等を同一基板上に含む半導体装置を製造することができる。因にこれらの製造手順を用いれば、次のような点を改善できた。

【0037】すなわちMOSFETのゲート電極、ソース、ドレインへの不純物の導入、バイポーラトランジスタのベース電極への不純物の導入、ラテラルバイポーラトランジスタのエミッタ電極及びコレクタ電極への不純物の導入、容量体の取り出し電極への不純物の導入、抵抗体への不純物の導入等を同時に実行することが可能になる。しかもこの時、ラテラルバイポーラトランジスタの半導体基板表面領域や容量体の誘電膜中に不純物が導入されることがなく、これらへの悪影響を防止できる。

【0038】さらにMOSFETのゲート酸化膜の生成工程は容量体の誘電膜生成工程として利用し得ることにより工程を削減できる。またバイポーラトランジスタのベース電極を不純物拡散源として半導体基板中にベースコンタクト領域(グラフトベース領域)を形成できる。同様にラテラルバイポーラトランジスタのエミッタ電極及びコレクタ電極を不純物拡散源として半導体基板中にエミッタ領域及びコレクタ領域を形成することもできる。

【0039】またバイポーラトランジスタのベース電極に対して自己整合的にエミッタを形成することもでき

る。これらより高性能なバイポーラトランジスタを基本に必要最低限の工程を追加するだけでMOSFETを付加することができる製造方法を実現できる。

【0040】(3) 第2の実施例

図3にPチャネルMOSトランジスタとダブルポリシリコン構造のNPNバイポーラトランジスタとが形成される領域部分におけるシリコン基板の上部断面を示す。以下にプロセスフローを示す。

【0041】(4-1) 工程

因にこの(4-1)の工程は前項における(2-1)、(3-1)の工程及び(2-2)、(3-2)の工程と対応している。PSub基板上にN<sup>+</sup>埋め込み層21、拡散層22及びNエピタキシャル層23を形成する。これらはPMOSのウエル、NPNトランジスタのコレクタ取り出し、容量体の下部電極、ラテラルPNPトランジスタのベース取り出しとして機能する。

【0042】次に素子分離のためのLOCOS酸化膜24及びP<sup>+</sup>拡散層25を形成した後に第1の酸化膜26を形成する。LOCOS酸化膜24は500~1000 [nm]の膜厚に形成し、第1の酸化膜26は100~200 [nm]の膜厚に形成する。このとき第1の酸化膜26の形成にはCVDを用いても良い。

【0043】次にMOSFET及び容量体形成領域における第1の酸化膜26を除去し、第1の開口部27を形成する。その後、第1の開口部27に第2の酸化膜28を形成する。本酸化膜28はMOSゲート酸化膜、容量体誘電膜として機能する。通常の用途におけるBiMOSLSIにおいては、MOSFETの性能を過度に要求しないため第2の酸化膜28は20~50 [nm]の膜厚で良い。従つて、次にポリシリコン膜を形成する際にもライトエッチングによる影響等は考慮しなくて良い。

【0044】(4-2) 工程

この(4-2)工程及び次の(4-3)の工程は前項における(2-3)、(3-3)の工程と対応している。この工程ではPMOSトランジスタのソース、ドレイン、コンタクト形成領域の第1の絶縁膜26、NPNトランジスタのエミッタ、ベース形成領域の第1の絶縁膜26、ラテラルPNPトランジスタのエミッタ、コレクタ形成領域の第1の絶縁膜26を除去し、開口する。次にCVDによって全面に第1の電気伝導膜29として100~200 [nm]程度の膜厚にポリシリコンを堆積させる。

【0045】(4-3) 工程

次にMOSのゲート電極やNPNトランジスタのベース電極、また容量体の上部電極やラテラルPNPトランジスタのエミッタ、コレクタ電極を残し、既存のドライエッチング技術によつて本ポリシリコン膜を加工する。次にP<sup>+</sup>イオンを注入し、MOSFETのゲート電極、ソース、ドレイン及びバイポーラトランジスタのベース電極への不純物導入を同時にう。

【0046】この時、第1絶縁膜26及び第1の電気伝導膜29をマスクとして使用しているためラテラルPNPトランジスタの半導体基板表面領域、容量体の誘電膜中に不純物が導入されることはない。従つてPNPトランジスタのQ<sub>1</sub>変動によるh<sub>FE</sub>の変動や容量体の誘電膜中へのダメージ導入によるリーク電流の増大等これらの特性への悪影響が防止される。

【0047】このときのイオン注入条件としては、例えればBF<sub>2</sub>イオンを30~50. [keV]程度のエネルギーで1~5×10<sup>15</sup> [cm<sup>-2</sup>]程度を注入すれば良い。またMOSFETのゲート長としてサブ(μm)ノサブハーフ(μm)まで微細化しなければ、LDD拡散層の形成は必要ない。なおP<sup>+</sup>ポリシリコン体の一部を抵抗体として使用可能である。

【0048】(4-4) 工程

また(4-4)の工程は(2-4)、(3-4)の工程と対応している。まずCVDにより300~400 [nm]の膜厚のSiO<sub>2</sub>膜33を形成した後、NPNトランジスタのベース、エミッタ形成領域の酸化膜/ポリシリコン積層膜を既存のドライエッチング技術で除去する。その後、CVDにより400~600 [nm]の膜厚のSiO<sub>2</sub>膜を形成し、既存のドライエッチング技術にて異方性エッチングすることによりエミッタ、ベース電極分離用酸化膜スペーサ34を形成する。

【0049】次にCVDによってエミッタ形成用ポリシリコン膜を形成し、これを既存のドライエッチング技術にて加工する。続いてポリシリコン膜へのイオン注入及び拡散によりベース及びエミッタを形成する。

【0050】このときの熱処理により、同時にNPNトランジスタのベース取り出し電極及びラテラルPNPトランジスタのエミッタ、コレクタ電極からP<sup>+</sup>を拡散し、NPNトランジスタのグラフトベース、PNPトランジスタのエミッタ、コレクタを形成すると共に、MOS部ソース、ドレイン拡散層を活性化させる。CVDにより300~400 [nm]の膜厚のSiO<sub>2</sub>膜を形成した後、既存の配線技術を用いて各電極を形成する(図示せず)。

【0051】以上のプロセスを用いれば、第1の実施例と同様の効果を得ることができる。またこれに加えてMOSFETのソース、ドレイン拡散層に対して取り出し電極を自己整合で形成することができ、素子面積の縮小、集積度の増大に寄与することができる。

【0052】(4) 他の実施例

なお上述の実施例においては、PチャネルMOSトランジスタ、ダブルポリシリコンNPNバイポーラトランジスタ、容量体およびラテラルPNPバイポーラトランジスタを同一基板上に形成する場合について述べたが、本発明はこれに限らず、これらのうち幾つかを同一基板上に形成する場合にも適用し得る。

【発明の効果】 上述のように本発明によれば、MOSFETのゲート電極、ソース、ドレイン及びバイポーラトランジスタのベース電極、ラテラルバイポーラトランジスタのエミッタ、コレクタ電極、容量体の取り出し電極、抵抗体への不純物導入を同時にすることが可能になる。さらにまたこのときラテラルバイポーラトランジスタの半導体基板表面領域、容量体の誘電膜中に不純物が導入されることがなく、これらへの悪影響を防止できる。

【図面の簡単な説明】

【図1】 本発明による半導体装置製造方法の説明に供する略線的断面図である。

【図2】 本発明による半導体装置製造方法の説明に供す

る略線的断面図である。

【図3】 本発明による半導体装置製造方法の説明に供する略線的断面図である。

【図4】 従来の半導体装置製造方法の説明に供する略線的断面図である。

【符号の説明】

21……N' 埋め込み層、22……拡散層、23……N型エピタキシャル層、24……LOCOS酸化膜、25……P' 拡散層、26……第1の酸化膜、27……開口部、28……第2の酸化膜、29……第1の電気伝導膜、34……酸化膜スペーサ、35……ポリシリコン膜。

【図1】

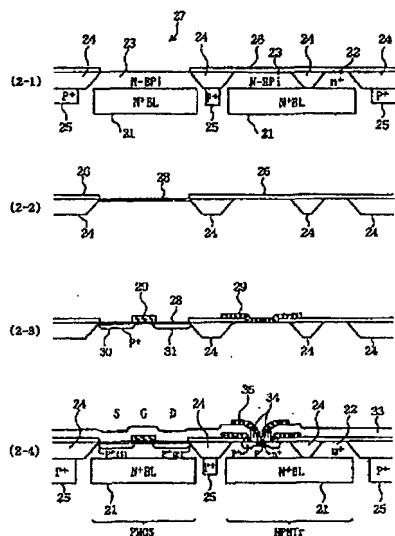


図1 本発明の実施例

【図2】

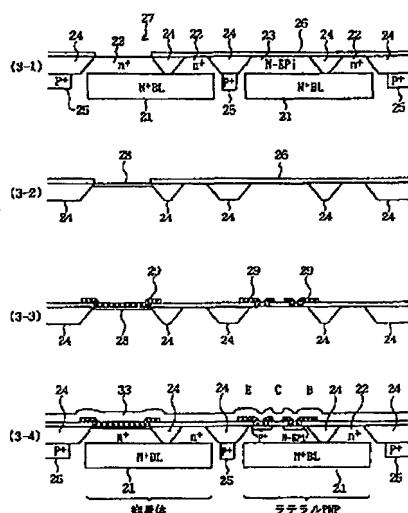


図2 本発明の実施例

[図3]

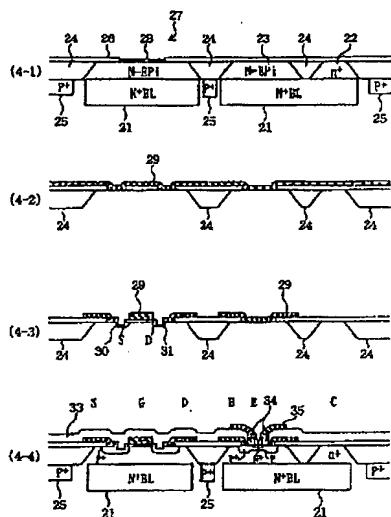


図3 本発明の実施例

[図4]

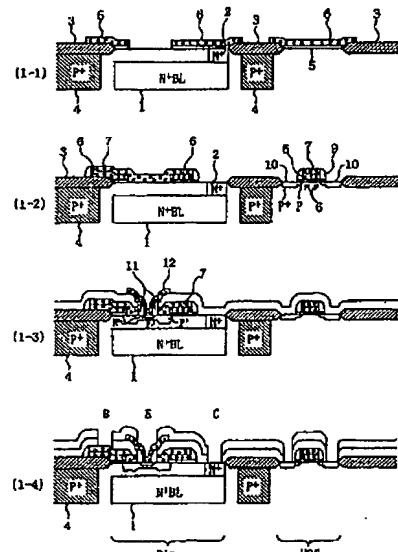


図4 対比例

フロントページの続き

(51) Int. Cl.<sup>6</sup>  
H01L 21/331  
29/73

識別記号

府内整理番号

F I

技術表示箇所

H01L 29/72